

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

THIS PAGE BLANK (USPTO)

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-273506

(43)Date of publication of application : 29.09.1992

(51)Int.Cl.

G06F 1/12

G06F 13/36

G06F 15/78

(21)Application number : 03-252099

(71)Applicant : TANDEM COMPUT INC

(22)Date of filing : 30.09.1991

(72)Inventor : OVERHOUSE LEONARD E
LENOSKI DANIEL E

(30)Priority

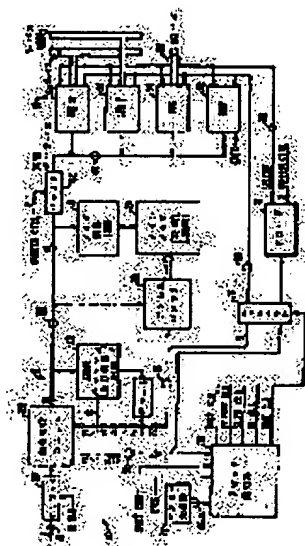
Priority number : 90 589847 Priority date : 28.09.1990 Priority country : US

(54) MULTI-CLOCK SYNCHRONOUS PROCESSOR UNIT

(57)Abstract:

PURPOSE: To provide a synchronous processor unit which performs the communication between its two divided parts which are clocked at different frequency levels after connecting both parts together via a buffer unit.

CONSTITUTION: The synchronous processor 102 is divided into two parts and clocked by the different clock signals. A part 12 including an instruction execution unit 20 and an instruction and data memory 24 is clocked by the frequency of a higher level. On the other hand, the other part 14 of the processor 102 including the processor elements which are not frequently used is clocked by the frequency of a lower level. The elements of both parts 12 and 14 are connected together via the individual data buses and also selectively connected to each other via a buffer unit 62. The signal generated by a clock signal generation unit 70 also monitors the instructions that are carried out by the unit 20. When the communication is performed between the parts 12 and 14, the clocks of high and low speeds are synchronized with each other and the buses of both parts are connected together via the unit 62.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

THIS PAGE BLANK (USPTO)

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

THIS PAGE BLANK (USPTO)

特許技術

①

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平4-273506

(43)公開日 平成4年(1992)9月29日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 1/12				
13/36	5 2 0 Z	7052-5B		
15/78	5 1 0 P	7530-5L		
		7368-5B		
			G 0 6 F 1/04	3 4 0 A

審査請求 未請求 請求項の数3(全10頁)

(21)出願番号 特願平3-252099

(22)出願日 平成3年(1991)9月30日

(31)優先権主張番号 5 8 9 8 4 7

(32)優先日 1990年9月28日

(33)優先権主張国 米国(US)

(71)出願人 591227457

タンデム コンピューターズ インコーポ
レイテッド

TANDEM COMPUTERS IN
CORPORATED

アメリカ合衆国 カリフォルニア州

95014 クーパーティノ ノース タンタ
ウ アベニュー 10435

(72)発明者 レナード イー オーヴァーハウス

アメリカ合衆国 カリフォルニア州

95030 ロス ガトス ウツディード ヴ
イユー ドライヴ 120

(74)代理人 弁理士 中村 稔 (外7名)

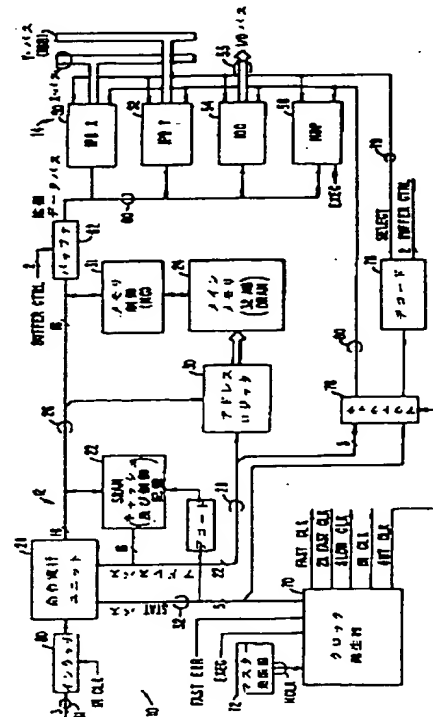
最終頁に続く

(54)【発明の名称】 マルチクロック同期プロセッサユニット

(57)【要約】 (修正有)

【目的】 夫々は異なる周波数でクロックされた2つに分割されたその間の通信はバッファユニットで相互接続して行う同期プロセッサユニットの提供。

【構成】 同期プロセッサユニット10は2つの部分に分割され異なるクロック信号でクロックされる。命令実行ユニット20と、命令及びデータ記憶メモリ24を含む一方の部分12は、高い周波数でクロックされ、頻繁に使用しないプロセッサの要素を含む他方の部分14は、低い周波数でクロックされる。各部分の要素は個別のデータバスで接続され、バッファユニットにより互いに選択的に接続される。クロック信号はクロック発生ユニット70により発生し命令実行ユニット20で実行する命令も監視する。2つの部分間の通信をするときは、高速及び低速のクロックが同期し各部分のバスがバッファユニット62で互いに接続される。



【特許請求の範囲】

【請求項1】 処理ユニットと、少なくとも算術及び論理演算を実行するための命令を実行するように動作する第1回路部分と、第2のデータ処理回路部分と、上記処理ユニットと第1回路部分とを相互接続してそれらの間にデジタル情報を通信するための第1バス手段とを有する形式のデータプロセッサにおいて、上記処理ユニット及び第1回路部分を第1モードにおいて第1クロック速度で動作させそして第2モードにおいて第2クロック速度で動作させ、そして第2データ処理回路部分を第2クロック速度で動作させる装置が、上記第2データ処理回路部分に接続された第2バス手段と、上記第1バス手段を第2バス手段に接続する回路手段で、第1モードにおいてはバス制御信号の発生にตอบสนองして第1バスと第2バスとの間で通信を行えるようにしそして第2モードにおいてはバス制御信号の不存在にตอบสนองして第1バスと第2バスとの間の通信を禁止するように働く回路手段と、第1及び第2のクロック信号を発生するためのクロック発生手段であって、クロックの発生は、第1及び第2のクロック信号の各々が互いに異なった周波数をもつような第1モードで作用すると共に、第1及び第2クロック信号の各々の少なくとも1つの遷移が実質的に同時に生じるような第2モードで作用するようになったクロック発生手段とを具備し、このクロック発生手段は、上記処理手段により実行されている命令で第1バスと第2バスとの間に通信を必要とする命令を検出するように接続された手段であって、第1バスと第2バスとの間の通信が必要とされるときに上記クロック発生手段を第2モードで動作させるような手段を備えていることを特徴とする装置。

【請求項2】 命令実行手段を含む第1処理部分と、データ及び命令を含むメモリ手段と、上記命令実行手段とメモリ手段を接続してそれらの間でデータ及び命令の通信を行う第1バス手段とを有する形式のデータプロセッサにおいて、上記実行手段は、メモリ手段からアクセスされた命令の実行にตอบสนองして少なくとも算術及び論理演算を実行するための命令を実行するように動作し、上記データプロセッサは、データプロセッサの外部の通信を行うための第2処理部分を備えており、上記第2処理部分とは異なるクロック速度で上記実行手段を動作する装置が、上記命令実行手段によって実行されるべき命令を監視するように接続され、上記命令実行手段と第2処理部分との間の通信を必要とする命令の検出にตอบสนองしてイネーブル信号を発生するように動作する回路手段と、情報を通信するように上記第2処理部分に接続された第2バス手段と、上記第1バス手段を第2バス手段に接続するバッファ手段であって、第1モードにおいてはイネーブル信号の発生にตอบสนองして第1バスと第2バスとの間で情報を通信するように働きそして第2モードにおいてはイネーブル信号の不存在にตอบสนองして第1バスと第2バス

との間の通信を禁止するように働くバッファ手段と、上記第1及び第2の各データ処理部分を同期動作させるために第1及び第2の周期的なクロック信号を発生するクロック発生手段であって、上記第1の周期的なクロック信号は、第2の周期的なクロック信号よりも周波数が高く、このクロック発生手段は、第1と第2の処理部分間の通信を必要とする第1処理手段による命令の実行を決定して第1の周期的なクロック信号の周期を延長しその少なくとも1つの遷移を第2の周期的なクロック信号の遷移と同期させるための論理手段を備えているようなクロック発生手段とを具備することを特徴とする装置。

【請求項3】 算術及び論理演算を行う命令を実行するように動作し、第1及び第2のデータ処理回路グループで形成された形式のデータプロセッサにおいて、各データ処理グループは、情報を通信するためのメイン及び拡張バス手段を各々含んでおり、第1データ処理回路グループは、第1と第2のデータ処理回路グループ間で情報を転送するためのデータ転送命令を含む命令を実行するための命令実行手段を備えており、互いに周波数の異なる第1及び第2のクロックを発生して上記第1及び第2のデータ処理回路グループを異なったクロック周波数で動作させる装置が、第1及び第2のクロックを発生するクロック発生手段であって、命令実行手段によって実行されている命令を表すものを受け取るように接続された検出手段を含むと共に、この検出手段に接続されていて、データ転送命令の実行を表すものにตอบสนองして第1及び第2のクロック信号の所定遷移間に実質的な一致をとらせる手段とを備えているようなクロック発生手段と、命令実行ユニットが情報転送命令を実行するのにตอบสนองして、上記第1及び第2クロック信号の遷移の一致を含む時間周期中にメイン及び拡張データバスを互いに通信接続する手段とを具備することを特徴とする装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、一般に、データ処理システムに係り、より詳細には、あるクロック周波数でクロックされる論理回路の一部分と、別のクロック周波数でクロックされる別の部分とを有するプロセッサユニットに係る。

【0002】

【従来の技術】今日使用されている全てではないが多くのプロセッサユニットは、周期的なクロック信号（“クロック”）に同調するようにオペレーションが同期的に行われる同期マシンである。従って、例えば、クロックのあるレベルから別のレベルへの遷移にตอบสนองして命令が実行され、データが転送され、信号が発生される。

【0003】典型的に、同期プロセッサユニットの全ての部分は同じクロック速度で動作される。しかしながら、あるプロセッサオペレーションは、他のプロセッサオペレーションよりも非常に頻繁に生じることが知られ

ている。実際に、頻繁に生じるオペレーションの約95%は、例えば、プロセッサユニットを構成しているロジック回路の約50%において実行されることが確立されている。従って、プロセッサオペレーションの大部分を実行する回路の部分を速いクロックで動作させる一方、ロジック回路の他部分を遅いクロックで動作させることにより、プロセッサユニットのオペレーションを向上させることができる。これは、ほとんど電力を消費せず、ほとんど電気ノイズを発生せず、ほとんど熱出力を発生せず、ほとんどヒートシンク容量を必要とせず、安価な技術で実施することができ且つ僅かな半導体面積で製造できるといったやり方で、低速動作部分を動作させることができる。これと同時に、全プロセッサ速度（即ち、ワークスループット）が増加される。

【0004】

【発明の構成】本発明によれば、プロセッサユニットは一般に2つの部分に分割され、各部分は異なったクロック周波数で別々に動作される。一方の部分は、速いクロックで動作し、プロセッサのオペレーションに最も頻繁に使用される回路を含んでいるのが好ましい。即ち、命令を実行すると共に、例えば、種々の論理及び演算機能を実行するための実行ユニットや、命令及びデータを記憶するためのメモリユニットが含まれる。第2の部分は、ゆっくりとしたクロックで動作するもので、プロセッサのオペレーションにあまり頻繁に使用されない回路素子、例えば、プロセッサユニットの外部通信を取り扱うものに典型的に関連した回路素子を含む。これら部分の素子間で情報（例えば、命令、コマンド及びデータ）を通信するために各部分ごとに1つつ合計2つのデータバスが設けられている。その一方のメインデータバスは、実行ユニット及びメモリを含む高速クロック部分の素子間で情報を通信し、そして拡張データバスは、プロセッサユニットの第2のゆっくりとしたクロック部分の回路素子を互いに通信するものである。バッファ機構は、メインデータバスと拡張データバスを互いに選択的に接続し、2つの部分間で情報の交換を選択的に行えるようにする。

【0005】クロック発生器は、2つの部分に対し各々独立した“高速”及び“低速”クロックを発生する。このクロック発生器は、実行ユニットによって実行されている命令を監視する検出ロジックを備えている。クロック発生器の検出ロジックによる検出は、2つの部分間で通信されるべき情報を必要とする命令の中でも、クロック発生器が高速クロックと低速クロックとを同期させるようにし、メインデータバス及び拡張データバスを経てバッファが2つの部分間で同期した情報通信を行えるようにする。

【0006】本発明によって多数の効果が達成される。まず、2つ以上の異なったクロック信号を用いることにより、プロセッサユニットのある部分が他の部分よりも

高い速度で動作することができる。これにより、低速動作部分は、ほとんど電力を消費せず、ヒートシンクをほとんど必要とせず、しかもあまり厳密な設計要求を受けないという点で、異なった処理をすることができる。低速クロック部品は、小さな半導体領域において安価な回路で実施することができる。又、低速動作は、電磁障害の発生を低減する。

【0007】更に、本発明は、既存のプロセッサ設計を容易に変更してこれら部分が設計上異なったクロック速度で動作できるようにし、しかも不当で高価な修正が生じないようにすることができる。これにより、実質的な再設計の必要なく既存のプロセッサ設計のワークスループットを増加することができる。

【0008】本発明のこれら及び他の特徴及び効果は、添付図面を参照した以下の詳細な説明より当業者に明らかとなる。

【0009】

【実施例】添付図面の図1には、本発明の技術によって構成されたプロセッサユニットが参照番号10で一般的に示されている。図示されたように、プロセッサユニット10の種々の回路素子は、好ましくはプロセッサオペレーションにおける使い方に基づいて2つの部分に分割される。即ち、それは、プロセッサオペレーションに最も頻繁に使用される素子を含んでいる“高速”部分12と、あまり頻繁に使用しない回路素子を含んでいる“低速”部分14とである。明らかなように、高速及び低速部分12、14の明確な特徴は、各部分を動作するのに用いるクロック信号の周波数である。図示されたように、高速部分12は、低速部分14を形成する回路を動作するのに用いるものよりも高い周波数を有するクロック信号で動作される。

【0010】更に、高速部分12は、メインデータバス26及びアドレスバス28によりメモリ回路に接続された命令実行ユニット20を備えており、メモリ回路はキャッシュメモリ22及び32メガバイトのメインメモリ24で構成される。キャッシュメモリ22は命令実行ユニット20のための制御記憶装置として働き、これは、命令実行ユニット20の動作を行う制御命令及びデータを含んでいる。

【0011】命令実行ユニット20は、キャッシュ22からアクセスされた中央命令に応答して、プロセッサユニット10がプロセッサとして働くのに必要な種々の算術、論理及び制御機能を実行するという点で、一般的に従来設計のものである。実際に、本発明を実施するためにプロセッサユニット10に組み込まれる回路素子を除いて、プロセッサユニット自体は従来設計のものである。

【0012】メインメモリ24は、メインデータバス26及びアドレスバス28を経て通信される情報からメモリアクセスのためのアドレスを発生するアドレスロジック

ク30を備えている。メモリ制御ユニット(MCU)31は、適当なタイミングでアクセス(例えば、読み取り又は書き込み)に必要な信号を発生する。メインメモリ24は、ダイナミック・ランダム・アクセス・メモリ(DRAM)であるのが好ましい。従って、MCU31は、必要なりフレッシュ信号も発生する。典型的に、アドレスバス28を経て通信されるアドレスにより最も頻繁にアクセスされるのは、キャッシュメモリ22である。

【0013】命令実行ユニット20によって実行される命令の形式に関する情報は、4ビットニブル及びパリティの形態で発生されて状態バス(STAT)32を経て送られる。特に図示していないが、このSTATバス上の情報は、デコード回路(図示せず)を介してキャッシュメモリ22によって使用され、キャッシュメモリ22のアクセスがいつ行われるか及びアクセスされる情報の形式(例えば、制御命令、データ等)を判断する。

【0014】上記したように、低速部分14は、例えば、入力/出力オペレーションのようなプロセッサオペレーションの間にあまり頻繁に使用されないプロセッサユニット10の要素を含むのが好ましい。本発明は、プロセッサからプロセッサへの通信が冗長なプロセッサ間バスを経て行われるマルチプロセッサ形態に使用するように設計されている。このようなマルチプロセッサシステムの説明は、米国特許第4,228,496号又は第4,888,684号に見られる。それ故、プロセッサユニット10は、プロセッサ間バス(IPB)X及びYの各々にインターフェイスするロジックをIPBインターフェイスユニット50及び52の形態で備えている。

【0015】プロセッサユニット10と、種々の周辺ユニット、例えば、磁気ディスク及び/又はテープの形態の追加記憶装置、プリンタ、ターミナル、等との間の通信については、入力/出力チャンネル(IOC)54がプロセッサユニット10をI/Oバス55に接続する。

【0016】低速部分14には、メインテナンス診断プロセッサMDP56も含まれている。このMDP56は、プロセッサユニット10の確実性を保証するように種々のメインテナンス/診断機能を取り扱う役目を果たす個別の特殊目的のプロセッサユニットである。1つの例外を除いてMDP56によって実行されるほとんどの機能は、本発明に関連したものではない。この例外とは、EXEC信号の発生であり、これは、プロセッサユニット10内の多数の位置で受け取られると、プロセッサユニットの動作を行えるようにする。

【0017】低速部分14の個々の素子、即ちIPB50、52、IOC54、及びMDP56は、拡張データバス60によって通信するように互いに接続される。低速部分14の素子は、典型的に、1つの例外を除いて互いに通信しない。即ち、それは、高速部分12と低速部分14との間での通信に使用しない各低速クロックサイ

クルごとに、ユニット50-56の1つが拡張データバス60を経てデータワードを送信し、これが他のユニットによって受け取られるものである。拡張データバス60(及びメインデータバス26)を経て送信されるデータワードの各々には、エラーチェックの目的でパリティが付けられる。このため、低速部分14のユニットは、エラーチェックについてのみ互いに通信する。高速部分12(即ち、実行ユニット20)と低速部分14の要素との間で情報転送が行われる。この目的で、拡張データバス60は、3状態バッファユニット62によってメインデータバス26に接続され、3状態バッファユニットは2ビットバッファ制御(BUFFER CTRL)信号によって制御される。このBUFFER CTRLが発生されると、2つのデータバス26、60が互いに電氣的に接続され、メイン及び拡張データバス26、60の一方から他方へ情報が通信される。又、BUFFER CTRLは、通信の方向(例えば、高速部分12から低速部分14へ)を識別する。BUFFER CTRLが発生されない場合には、メインデータバス26が拡張データバス60から効果的にデカップルされ、従って、2つの部分が独立して動作しているときには、拡張データバス60上のデータの流れがメインデータバス26上のデータに干渉しないし、又その逆も起こり得ない。

【0018】本発明によれば、高速及び低速部分12、14は、異なった周波数を有するクロック信号によってクロックされる。クロック間の同期をとってデータバス26と60とを相互接続しなければならないのは、2つの別々の部分間に情報を通すべきときだけである。

【0019】各部分によって使用されるクロック信号は、マスター発振器72によって発生された周期的な15ナノ秒のマスタークロック信号(MCLK)にตอบสนองして動作するクロック発生器70により発生される。クロック発生器70は、MCLKから、高速部分12及び低速部分14の素子の同期動作に必要なクロック信号を発生する。主たるクロックは、高速部分12についてはFAST CLK及び2XFAST CLKであり、そして低速部分14についてはSLOW CLKである。IN CLK及びOUT CLK信号は、インラッチ80の状態情報を以下で述べるように命令実行ユニット20の動作と同期させるようにラッチするのに用いられる。同様に、クロック発生器70により発生されるOUT CLK信号は、アウトラッチ76にアドレス及び制御信号を同期をとって(低速部分14に対して)ロードするように働く。

【0020】本発明の好ましい実施例では、FAST CLKとSLOW CLKの周波数の比が3:2であるが、これとは別の比を用いてもよいことは明らかであろう。FAST CLK信号は、高速部分12の命令実行ユニット20及び他の回路の同期動作(キャッシュ及びメインメモリ22及び24とそれに関連した回路の動作

を含む)に使用される。2XFAST CLK信号は、種々のタイミング取りの目的でMCU31によって使用される。

【0021】SLOW CLKは、低速部分14の素子の同期動作を行うのに用いられる。

【0022】説明が少し脇道にそれるが、プロセッサユニット10のようなプロセッサユニット(本発明の特徴を実施しない)の同期動作は、典型的に、周期的なクロック信号の低レベルと高レベルとの間の遷移の1つ又は別のものにおいて状態変化を受ける。例えば、本発明の技術を用いていない従来設計においては、データが同じクロック信号によりそのクロック信号の同じ遷移(例えば、低-高)に対して命令実行ユニット20からI/Oへ転送される。非同期の転送を行って(同期動作されるユニット間で)、特定のクロック遷移に対して情報転送を行う必要性を排除してもよいが、この場合は、このような転送に対してロジックを特に設計する必要があり、これは低速の技術である。

【0023】特に指示のない限り、プロセッサ10の主要(クロックされる)素子は、FAST CLK(高速部分12の素子の場合)又はSLOW CLK(低速部分14の素子の場合)の低-高遷移(“立ち上がりエッジ”)の際に状態を変える。従って、高速部分12と低速部分14との間で各々メインデータバス26及び拡張データバス60を経て情報の同期転送を行うためには、転送動作(例えば、バスからの情報を受け入れてバスに情報を発生する、等)を同じ立ち上がりエッジに対して行わねばならない。例えば、メイン及び拡張データバス26、60を経て高速部分12から低速部分14へデータを転送すべきであると仮定する。この転送を行う命令は、FAST CLKの立ち上がりエッジで、命令実行ユニット20において実行(命令サイクル)を開始する。その命令サイクルの間に、メイン/拡張データバス26/60にデータが出される。このデータは、次の命令サイクル(FAST CLKの次に続く立ち上がりエッジで開始される)がメインデータバス26上で行われるまでに、FAST CLKの次に続く立ち上がりエッジの前に(又はそれと共に)低速部分14によって受け入れられねばならない。

【0024】FAST CLK信号とSLOW CLK信号との比は3:2であるから、これら2つの信号の立ち上がりエッジは、必要なときに一致しないことがある(例えば、図4参照)。従って、FAST CLK信号とSLOW CLKを“同期”させねばならず、即ち、2つの部分12と14との間で情報の通信を行うべきときに2つの信号の立ち上がりエッジを一致させねばならない。これは、クロック発生器70の機能であることが明らかである。

【0025】プロセッサユニット10の高速部分12と低速部分14との間の情報転送は、メインデータバス2

6及び拡張データバス60の使用に限定されない。選択及び制御情報は、高速部分12から低速部分14へアウトラッチ76を経て通信される。従って、アドレスバス28の5ビット部分と、STATバス32に現れる情報は、アウトラッチ76を経て低速部分14へ通信される。STAT情報は、OUT CLKでアウトラッチ76にラッチされ、そこからデコードユニット78へ通される。デコードユニット78は、バッファ62を制御するBUFFERCTRL信号と、低速部分の機能ユニット50、...56の1つをイネーブルするために信号ライン79によって搬送されるSELECT信号とを発生するように動作する。アドレス情報は、アウトラッチ76からバス80によって低速部分14の素子へ送られ、選択されたユニットが命令実行ユニット20と通信状態に入れられたときにこのユニットによって実行されるべき機能を識別する。

【0026】更に、メイン及び拡張データバス26、60における高速部分12と低速部分14との間の各情報転送サイクルは、選択されたユニットからの状態情報の返送を含む。この返送状態情報は、3本の信号ライン81と3ビットインラッチ80とを経て低速部分14から高速部分12へ通信され、SLOW CLKに同期されたIN CLKによりそこにラッチされる。このIN CLKは、以下で詳細に述べるように、FAST CLK及びSLOW CLK信号が同期されたときだけ存在する。

【0027】図2を参照すれば、クロック発生器70がブロック図の形態で詳細に示されている。図示されたように、クロック発生器70は、入力信号FAST_ERR、EXEC、STATと、このEXECの遅延したものであるEXEC_DLDとに基づいて、種々の状態を通してサイクルする状態マシン90を備えている。この状態マシン90は、プロセッサユニット10の高速部分と低速部分との間でメイン及び拡張データバス26、60を経て情報を転送すべきときにFAST CLK信号とSLOW CLK信号とを同期させる役目を果たす。状態マシン90の状態図が図4に示されている。図5は、FAST CLKとSLOW CLKとの同期が必要でないときにクロック発生器70によって発生される種々の波形を示している。図6は、FAST CLKとSLOW CLK信号の遷移が同期として一致したときにクロック発生器70によって形成される3つの独特の波形パターン(即ち、図6にA、B及びCと示されたように生じる3つの形態の同期)を示している。

【0028】更に、図2を参照すれば、状態マシン90に加えて、クロック発生器90は、状態マシン90によって入力される各々の状態を定める状態マシンからの6ビット出力を受け取る状態デコードロジック92を備えている。この状態デコードロジック92は、次いで、各々とられる状態ごとに、クロック発生器70により発生

される各信号の適切なレベルを形成する。

【0029】クロック発生器70により発生されたクロック信号(例えば、FAST CLK、IN CLK、等)の1つを各々搬送する状態デコードロジック92の出力ライン94は、図2に全体的に96で示されたD型フリップフロップの各入力に送られる。このD型フリップフロップの各々は、マスター発振器72によって発生されるマスタークロック信号(MCLK)によりクロックされる。

【0030】状態マシン90は、MCLKの各立ち上がり遷移において状態を変える。その結果、状態マシン90の種々の段は、異なったレートで変化し勝ちであり、状態マシンの対応する出力が異なった時間にレベルを変化させる。次いで、状態デコードロジック92は、状態マシン90の適切な状態を表す信号状態に安定する前に高レベルと低レベルとの間に多数の遷移を発生し勝ちである。このため、D型フリップフロップ96については、状態マシン90の各変化の間にこれらの遷移をマスクする。実際には、D型フリップフロップを使用すると、MCLK信号の1周期分だけ実際の状態変化が遅らされる。というのは、クロック発生器70によって信号が発生されるからである。

【0031】更に、図2を参照すれば、クロック発生器70は、診断目的のためにEXEC信号の遅延され同期されたものを発生するのに使用するD型フリップフロップ100を備えている。EXEC信号は、フリップフロップ100のデータ(D)入力に送られ、そしてSLOW CLK信号はクロック(CLK)入力に送られる。フリップフロップ100の出力(Q)は、EXEC_DLD信号を発生する。

【0032】EXEC信号は、MDP56(図1)によって発生され、実際には、これが発生されたときにプロセッサユニット10を動作できるようにするイネーブル信号である。これが発生されないと、プロセッサユニット10はディスエーブルされる。EXECはSLOW CLK信号に同期され、プロセッサユニット10の全ての素子を同時にスタート/ストップさせるために発生/停止され、動作が一貫した仕方で行始又は終了するようにする。

【0033】EXEC_DLD信号は、プロセッサユニット10を1ステップづつ歩進させるのに使用される。従って、EXECの発生に続く最初の命令サイクルは、STATバス32によって搬送される値には関わりなく、常に、同期した低速サイクルとなる。図3のタイミング図は、SLOW CLKに対するEXECとEXEC_DLDとの間の関係を示している。

【0034】図4は、同期されたFAST CLKのバージョン(即ち、整列された低-高遷移)を含む図1に示す種々の信号をSLOW CLKの立ち上がりエッジで発生するために状態マシン90がとる状態を示してい

る。高速部分12と低速部分14との間にデータバスの情報転送がないときには、状態マシン90が0_FC、1_FC、...11_FCと示された状態のみを通してシーケンスし、図5に示す種々の波形を発生する。状態マシン90がとる状態は、図5の下部に沿って示されており、図4に示された状態に対応する。例えば、FAST CLK波形200の第1の高レベル部分201は、状態0_FC、1_FCによって発生され、その直後に続く低レベルの波形部分202は状態2_FC、3_FCから導出される。同様に、FAST CLKの次に続く2つの周期は、4_FCないし7_FC及び8_FCないし11_FCによって発生される。状態マシン90は状態0_FCへ復帰し再び開始する。状態0_FC、...11_FCと、図3に示された他の状態の各々は、マスター発振器72によって発生されるMCLKの周期である15ナノ秒間保持される。

【0035】FAST CLK周期は、4つのMCLK周期から発生される。命令は、FAST CLKサイクル当たり1つつ実行される。図4はこの関係を示しており、状態マシン90がとる12の状態0_FC、...11_FCは、3つの命令の実行を表している。従って、高速部分12が高速モードのみで動作しているときには(即ち、低速部分14との同期が要求されないときには)、状態0_FCないし3_FC、4_FCないし7_FC及び8_FCないし11_FCにより定められた3つの命令実行サイクルの各々において命令が実行される。

【0036】各命令実行サイクルは、状態マシン90の4つの次々の状態遷移内に完了するものと仮定して、これに入る。これは、FAST CLK及びSLOW CLK信号が同期を必要としない場合は正しい仮定である。しかしながら、2つの信号が同期を必要とする場合には、FAST CLKの完了に5つ以上の状態が必要である。命令実行ユニット20によって実行されている命令が高速部分12と低速部分14との間に同期を必要とする情報転送を要求するかどうかの判断を行うのは、各高速クロック命令サイクルの第3状態(即ち、状態2_FC、6_FC及び10_FC)の間である。実行サイクルは、STATバス32によって搬送される4ビットの値(16進)がEでもFでもなく、FAST_ERR信号が発生されず、そしてEXEC及びEXEC_DLDが真である限り、通常のFAST CLK発生の経路に沿って続けられる。しかしながら、高速部分12と低速部分14との間で情報転送を行うべき場合には、FAST CLKとSLOW CLK信号の立ち上がりエッジを整列しなければならず、即ち2つを同期させねばならない。このような転送は、STATバス32上のE又はF(16進)の値によって指示される。

【0037】明らかなように、FAST CLKとSLOW CLKとの間の同期を得るためには、FAST

CLKのみが変更される。FAST CLKの立ち上がりエッジは、3つの命令実行サイクルのうちのどれが同期に対して必要とされるかに基づく時間長さだけ、その直前の立ち下がりエッジに対して遅延され、例えば、状態2__FC、6__FC又は10__FCの間に、そのとき実行されている命令が高速部分12と低速部分14との間の情報転送を必要とするかどうか決定される。SLOW CLK信号は、同期に対して変更されない。

【0038】従って、状態2__FCの間に、同期が必要とされるという判断がなされた場合には、状態マシンは、状態3__FCに対して通常そうである（同期が必要とされない）のとは異なり、状態2__FCから3__SCへ移行する。ここから（即ち、状態3__SCから）状態マシン90はアイドル状態を通り、その間にFAST CLKのレベルが低く保持されて、0__FC状態に復帰し、FAST CLK波形200aの次に生じる立ち上がりエッジ206（図6）を発生する。図6に示すように、SLOW CLKの立ち上がりエッジ204はFAST CLKの立ち上がりエッジ206と一致することに注意されたい。状態マシン90が更に別の状態3__SC、10及び11を通過しない状態では、立ち上がりエッジは、高速クロック状態4__FCの間に、SLOW CLK（図5参照）よりも約30ナノ秒（2つのMCLK周期）前に生じることになる。又、2XFAST CLKも、この信号の立ち上がり遷移とSLOW CLK及びFAST CLKとを整理させるように変更される。

【0039】同様に、高速クロック状態4__FCないし7__FCの命令サイクル中に実行されている命令が完了したという判断が状態マシン90によってなされた場合には、その実行サイクルの第3状態6__FCに続いて、図4に示すように、遅延状態7__SC、8、9、10及び11（即ち、図6の波形パターンB）となる。0__FCないし3__FCの実行サイクルに追加される遅延に比較して、更に2つの状態8及び9を通るようにされることに注意されたい。これも、判断を行うときに存在するFAST CLK信号とSLOW CLK信号との間の位相関係によるものである。同様に、FAST CLK信号とSLOW CLK信号の立ち上がりエッジを同期させるための最も長い遅延は、同期の必要性についての判断が状態（10__FC）の間になされた場合に発生される。次いで、状態マシン90は、図4（及び図6－波形パターンC）に示すように、状態11__SC、0、1、2、3、10及び11を通る。

【0040】同期経路の選択は、図4に示すように、状態マシン90に送られる多数の信号の状態によって決まる。その第1は、STATバス32によって搬送される情報である。命令実行ユニット20が、拡張データバス60を使用する命令を実行している場合には、STATバス32の状態がE又はF（16進）である。それ以外

のものである場合には、状態マシン90によって取られる次の状態が3__FC、7__FC又は11__FCとなる（以下で述べるように、他の信号がとられれば、この変化が許される）。

【0041】EXECは、上記したように、プロセッサユニットを動作できるようにする。このEXECが低である場合には、プロセッサユニット10がディスエィブルされ、動作しない。しかしながら、これは、クロック信号を発生する必要がないことを意味するものではない。例えば、メインメモリは、そのリフレッシュサイクルを維持することが必要である。従って、たとえEXECが発生されない状態でプロセッサがディスエィブルされたとしても、FAST CLK信号は、低速サイクルループ0__FC、1__FC、2__FC、3__SC、10及び11においてであるが継続する。

【0042】プロセッサユニット10は、高速部分12及び低速部分14の両方において、種々の動作パラメータを監視する回路（図示せず）を含んでいる。この回路がエラーを検出した場合には、ある種類又は別の種類のエラーフラグが立ち上げられる。このようなエラー検出が行われるときには、プロセッサユニットの動作を停止するのが望ましい。本発明の場合には、高速部分12及び低速部分14を同時に、即ち同じ立ち上がりエッジで停止するのが望ましい。従って、エラー状態の1つが高速部分12内で生じたときには、FAST__ERR信号が発生されて、プロセッサユニット10の動作が停止される。FAST__ERR信号は、これが発生されると、状態マシン90が同期経路の1つをとるようにさせ、従って、FAST CLK及びSLOW CLKの立ち上がりエッジが一致したときに、EXECを落として、両方の部分を同時に停止させることができる。

【0043】今日のデータ処理システムの多くは、診断動作を行う回路を含むように設計されており、プロセッサユニット10も例外ではない。1つのこのような診断は、単一ステップオペレーションを実行する能力であり、即ち命令実行ユニット20に1つの命令を実行させそしてその動作を停止させることである。このため、MDP56は、EXEC信号を1つの実行サイクルだけ立ち上げ、そのサイクルの終わりに、立ち下げる。EXECはこれが発生される前は低レベルであったから、フリップフロップ100によって発生されるその導関数EXEC__DLDも低レベルである。EXECの遅延バージョンであるこのEXEC__DLDの目的は、高速部分12の単一ステップオペレーションが低速サイクルとなりそして低速部分のオペレーションと共に終了することを確保する。従って、EXECが立ち上がると（MDPがSLOW CLKでクロックされるので、SLOW CLKの立ち上がりエッジで）、EXEC__DLDが低レベルであることにより、所望の低速サイクルがとられるように確保する。単一ステップオペレーションが完了

すると、MDP56はEXECをダウンさせ、状態マシンは、EXECが再び発生されるまで、低速サイクルループ（例えば、上記したようなメモリリフレッシュオペレーションに対する）にロックされたままとなる。

【0044】図1に説明を戻すと、IN CLK信号は、低速部分14から通信された3ビットの情報（例えば、割り込み、状態、等）を一時的に記憶するようにインラッチ80を動作させることに注意されたい。上記したように、このラッチ動作は、実行ユニット20の動作、即ちFAST CLK信号に同期される。従って、図5及び6に波形208及び210で示されたように、IN CLK信号は、(1) アイドル状態10及び11、(2) 高速クロック状態10_FC及び11_FC又は(3) 高速クロック状態10_SC及び初期の同期状態11_SCによって発生される。本発明の設計に使用されるラッチは、レベル感知式のもので、制御信号が高レベルである間は出力が入力に従いそして制御信号が低レベルになったときに入力が入力ラッチされる形式のものである。ラッチの出力が読み取られるよう試みられるときにこの出力状態が変化することは明らかに望ましくないため、インラッチ80を命令実行ユニット20の動作に同期させる必要があることは明らかである。従って、IN CLK信号は、行き先回路（例えば、命令実行ユニット20）に対する充分な設定時間中インラッチ80にデータが一定に保持されるように、FAST CLKに対して発生される。

【0045】同様に、アウトラッチ76は、低速部分14の素子の動作に同期される。FAST CLK信号とSLOW CLK信号との間に同期動作がないときには、高速クロック状態0_FCないし1_FC及び6_FCないし7_FCによりOUT CLKが発生される。とられる同期サイクルによっては、状態6_FCないし7_SC及びアイドル状態0-1によってもOUT CLK信号が発生される。アドレス及びSTATバス28、32によって搬送される情報は、FAST CLKの立ち上がりエッジ（低-高遷移）において変化する。しかし、低速部分14のエッジトリガデバイスである素子（高速部分12のほとんどの素子と同様）は、SLOW CLKの立ち上がりエッジで情報を受け入れる。従って、OUT CLKは、アウトラッチ76のデータを一定に保持し、SLOW CLKの立ち上がりエッジに対して該ラッチを設定できるようにし、その後、OUT CLKが高レベルとなり、アウトラッチ76の出力が入力に従うようにする。図6を参照されたい。

【0046】尚、本発明の実施態様項として、以下のものを開示する。

1. 第1回路部分は、命令及びデータを記憶するために第1バス手段に接続されたメモリ手段を備えている請求項1に記載の装置。
2. 第2データ処理回路部分は、データプロセッサの外

部の装置と通信するために第2バス手段に接続された入力/出力手段を備えている請求項1に記載の装置。

【0047】3. 上記回路手段は、これが第2モードにあるときに第1及び第2データバスを互いに接続するための3状態手段を備えている請求項1に記載の装置。

4. 第1の周期的なクロック信号と第2のクロック信号との比は、3対2である請求項2に記載の装置。

5. 周期的なマスタークロック信号を発生する手段を備え、上記クロック発生手段は、このマスタークロック信号を受け取るように接続され、そして上記第1及び第2のクロック信号はマスタークロック信号の整数倍である請求項2に記載の装置。

【0048】6. 上記第1の周期的なクロック信号は、マスタークロック信号の4つのクロック周期に実質的に等しい周期を有している前記5項に記載の装置。

7. 上記第2の周期的なクロック信号は、マスタークロック信号の6つのクロック周期に実質的に等しいクロック周期を有している前記6項に記載の装置。

【0049】8. 論理手段は、第2のプロセッサ部分との通信を必要とする命令の実行が、第1の周期的なクロック信号の各クロック周期の開始から約3つのマスタークロック周期であることを決定する手段を備えている前記7項に記載の装置。

9. 上記第2の処理部分は、上記データプロセッサの外部に配置された周辺装置と通信するために第2のバス手段に接続された入力/出力手段を備えている請求項2に記載の装置。

【0050】10. 上記第1のデータ処理回路グループは、命令及びデータを記憶するためのメモリ手段を備えている請求項3に記載の装置。

11. 上記第2のデータ処理回路グループは、データプロセッサと1つ以上の周辺装置との間でデータを通信する入力/出力制御手段を備えている請求項3に記載の装置。

【図面の簡単な説明】

【図1】2つの部分に分割された本発明によるプロセッサユニットの簡単なブロック図である。

【図2】図1に示す本発明を実施するのに使用されるクロック発生ロジックのブロック図である。

【図3】図2のクロック発生ロジックの一部分の動作を示す簡単なタイミング図である。

【図4】図1及び2に示されたクロック発生ロジックを実施するのに用いられる状態マシンの状態図で、図1のプロセッサユニットの2つの部分のクロック信号を同期するための状態遷移を示す図である。

【図5】本発明を実施するのに用いる種々のクロックを形成するためのクロック発生ロジックの動作を説明するタイミング図である。

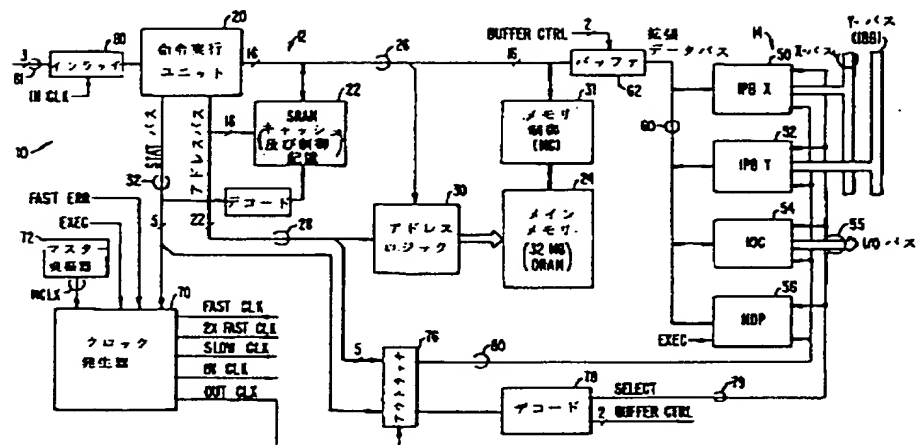
【図6】本発明を実施するのに用いる種々のクロックを形成するためのクロック発生ロジックの動作を説明する

【符号の説明】

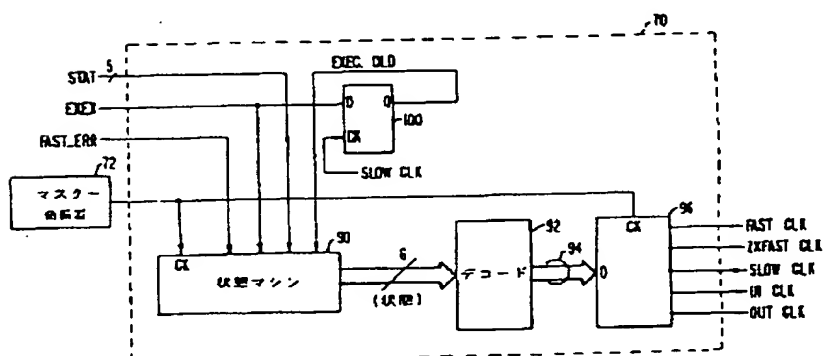
- | | |
|-----|-----------|
| 1 0 | プロセッサユニット |
| 1 2 | 高速部分 |
| 1 4 | 低速部分 |
| 2 0 | 命令実行ユニット |
| 2 2 | キャッシュメモリ |
| 2 4 | メインメモリ |
| 2 6 | メインデータバス |

- 28 アドレスバス
30 アドレスロジック
31 メモリ制御ユニット (MCU)
32 状態 (STAT) バス
50、52 IPBインターフェイスユニット
54 入力/出力チャンネル
55 I/Oバス
56 メインテナンス診断プロセッサ (MID)

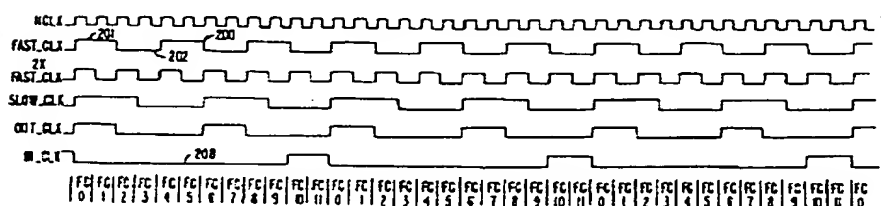
【図 1】



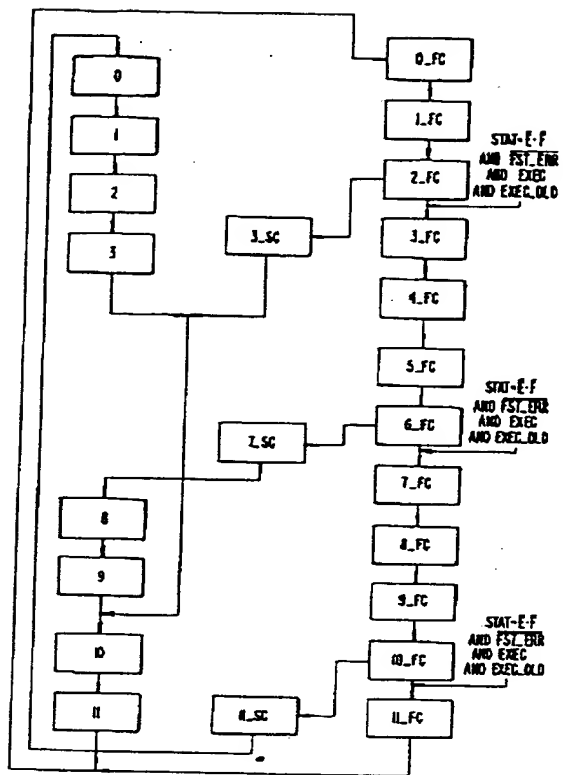
【図 2】



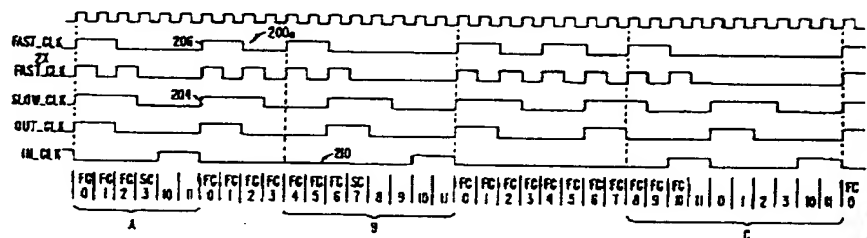
【図 5】



1993



•



(72)発明者 ダニエル イー レノスキー
アメリカ合衆国 カリフォルニア州
95014 クーパーティノ パシフィカ ド
ライヴ 20274

(72)発明者 ダニエル イー レノスキー

アメリカ合衆国 カリフォルニア州

95014 クーパーテイノ バシフィカ ド

ライヴ 20274